

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277559

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

H01L 21/60

H01L 23/28

(21)Application number : 11-082989

(71)Applicant : NEC CORP

(22)Date of filing : 26.03.1999

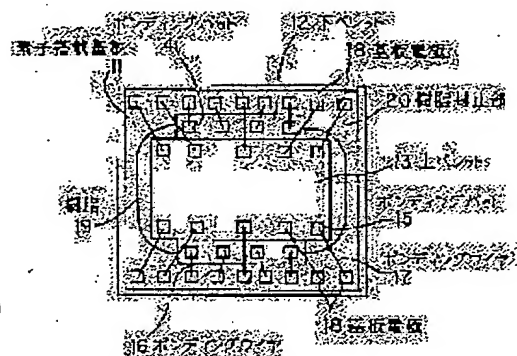
(72)Inventor : NARITA YOSHITAKA

(54) SEMICONDUCTOR PACKAGE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the semiconductor package and its manufacturing method with which the limit of size of the upper and the lower pellets can be alleviated when the two pellets are laminatingly arranged.

SOLUTION: The lower pellet 12 is mounted on the element mounted substrate 11 where a substrate electrode 18 is provided, and the upper pellet 13 is laminatedly mounted on the lower pellet 12 in such a manner that a section of a bonding part is squeezed out from the lower pellet 12. Resin 19 is filled in the gap formed between the part squeezed out from the lower pellet 12 and the element mounted substrate 11. As a result, the squeezed out part of the upper pellet 13 can be fixed, the squeezed out part is not deformed, the chipping of the pellet can be prevented, and also the dispersion of ultrasonic power can be prevented.



LEGAL STATUS

[Date of request for examination]

02.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3510520

[Date of registration]

09.01.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-277559

(P2000-277559A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl.⁷

H 0 1 L 21/60
23/28

識別記号

3 0 1

F I

H 0 1 L 21/60
23/28

テマコード (参考)

3 0 1 D 4 M 1 0 9
Z 5 F 0 4 4

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平11-82989

(22) 出願日 平成11年3月26日 (1999.3.26)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 成田 宜隆

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100071526

弁理士 平田 忠雄

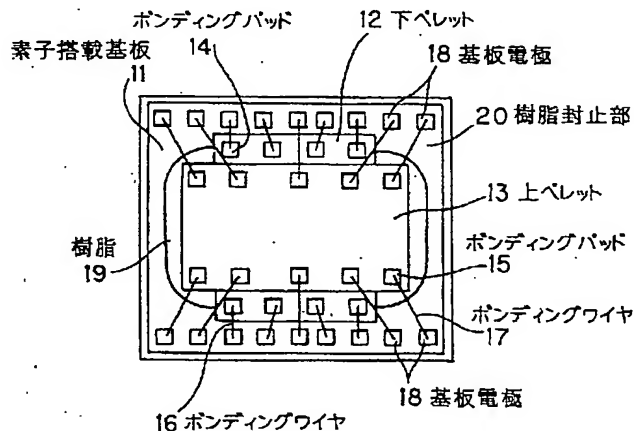
Fターム (参考) 4M109 AA02 BA03 CA04 CA21 GA10
5F044 AA02 CC01 JJ03

(54) 【発明の名称】 半導体パッケージ及びその製造方法

(57) 【要約】

【課題】 2つのベレットを積層配置した場合の上、下のベレットのサイズ制限を緩和することのできる半導体パッケージ及びその製造方法を提供する。

【解決手段】 基板電極18が設けられている素子搭載基板11上に下ベレット12を搭載し、ボンディング部の一部が下ベレット12からはみ出るようにして下ベレット12上に上ベレット13が積層状態に搭載されている。上ベレット13の下ベレット12よりはみ出した部分と、素子搭載基板11との間に形成された空間には樹脂19が充填される。これにより、上ベレット13のはみ出し部が固定され、該はみ出し部に変形が生じないようにすることができ、ベレットの欠損が防止され、また、超音波パワーの分散が防止される。



【特許請求の範囲】

【請求項1】 接続用の電極が設けられている基板上に第1のペレットを搭載し、ボンディング部の一部が前記第1のペレットからはみ出るようにして前記第1のペレット上に第2のペレットを積層状態に搭載し、前記電極と前記第1、第2のペレットのボンディングパッドとをボンディングワイヤで接続した半導体パッケージにおいて、

前記第2のペレットが前記第1のペレットよりはみ出た部分と前記基板との間に形成された空間に絶縁材が充填されていることを特徴とする半導体パッケージ。

【請求項2】 前記絶縁材は、樹脂封止用の樹脂材とは異なる材料であることを特徴とする請求項1記載の半導体パッケージ。

【請求項3】 前記絶縁材は、樹脂又は絶縁ペーストであることを特徴とする請求項1又は2記載の半導体パッケージ。

【請求項4】 接続用の電極が設けられている基板上に第1のペレットを搭載し、ボンディング部の一部が前記第1のペレットからはみ出るようにして前記第1のペレット上に第2のペレットを積層状態に搭載し、前記第1のペレットからはみ出た部分と前記基板との間に形成された空間に絶縁材を充填又は介挿し、前記第1、第2のペレットのそれぞれのボンディングパッドと前記基板上の前記電極とをボンディングワイヤにより接続し、

前記第1、第2のペレット及び前記ボンディングワイヤによるボンディング部を樹脂封止することを特徴とする半導体パッケージの製造方法。

【請求項5】 前記絶縁材は、樹脂又は絶縁ペーストであることを特徴とする請求項4記載の半導体パッケージの製造方法。

【請求項6】 前記絶縁材は、板状のスペーサであり、前記樹脂封止を行う前に除去することを特徴とする請求項4記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体パッケージ及びその製造方法に関し、特に、上下2つのペレットを積層した構造の半導体パッケージ及びその製造方法に関する。

【0002】

【従来の技術】高演算速度のLSIを回路基板に実装する場合、回路基板における配線長が信号遅延を招き、演算速度を低下させる。そこで、特開昭62-35528号公報に記載のように、1枚の回路基板上に第1のLSIを実装した後、この第1のLSIに第2のLSIを向かい合わせて両者をはんだバンプで接続する構成や、特開平8-88316号公報に記載のように、回路基板上

に第1のLSIを搭載した後、この表面に樹脂封止を施し、この封止樹脂を絶縁層にして第2のLSIを積層状態に実装し、ボンディング接続する構成が提案されている。また、1枚の回路基板（素子搭載基板）上に第1のLSIと第2のLSIを密着状態に実装したスタックCSP (Chip Size Package) も提案されている。これについて以下に説明する。

【0003】図6及び図7は、スタックCSP構造の従来の半導体パッケージを示す。素子搭載基板1上には、第1のLSIである下ペレット2が実装され、この下ペレット2上には、接着剤等を介して第2のLSIである上ペレット3が積層状態に実装されている。下ペレット2には、両端部に複数のボンディングパッド4が設けられている。また、上ペレット3は、下ペレット2のボンディングパッド4が露出可能なように、下ペレット2よりも小さいサイズに設定されている。そして、下ペレット2と同様に上ペレット3にも複数のボンディングパッド5がボンディングパッド4と同じ方向に設けられている。ボンディングパッド4とボンディングパッド5と素子搭載基板1側をボンディングワイヤ6、7で接続するために、素子搭載基板1上のボンディングパッド4、5の近傍には、基板電極8が設けられている。

【0004】

【発明が解決しようとする課題】しかし、従来の半導体パッケージ及びその製造方法によると、特開昭62-35528号公報では1枚の素子搭載基板に2つのLSIを搭載した場合、素子搭載基板とのワイヤボンディングは1つのLSIに限定され、配線の自由度が制限される。また、特開平8-88316号公報の半導体パッケージでは、同一サイズのLSIを封止樹脂を介して積層し、かつ各々でワイヤボンディングを行っているため、実装高さが大きくなり、小型化が図り難い。

【0005】更に、図6及び図7の半導体パッケージでは、上ペレット3は下ペレット2のボンディングパッド4を隠さないサイズにする必要がある。そのため、ペレットのサイズに厳しい制限が課され、ペレットの選択の自由度が低いという問題がある。

【0006】また、図8及び図9に示す様に上ペレットが下ペレットより大きい場合、上ペレット3のボンディングパッド5の下側部分に空間9が形成されるため、ボンディングを行えない場合がある。つまり、ボンディング時には、Auボンディングボールをボンディングツールでボンディングパッド5に押し付けながら超音波パワーを付与し、AuのボンディングパッドとAuのボンディングボールとの共晶を作るという工程が存在するが、このとき、上ペレット3の下に空間があると、ボンディングボールをボンディングツールによりボンディングパッド5に押し付けた際、上ペレット3に欠損が生じる。また、上ペレット3の張出部の下が固定されていないために超音波パワーが分散し、ボンディング部に超音波パ

3

ワーが十分にかからず、ボンディング強度が弱くなるという問題が生じる。

【0007】したがって、本発明は、2つのベレットを積層配置した場合でも、上下のベレットのサイズの制限を緩和することのできる半導体パッケージ及びその製造方法の提供を目的とする。

【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明は、第1の特徴として、電極が設けられている基板上に第1のベレットを搭載し、ボンディング部の一部が前記第1のベレットからはみ出るようにして前記第1のベレット上に第2のベレットを積層状態に搭載し、前記電極と前記第1、第2のベレットのボンディングパッドとをボンディングワイヤで接続した半導体パッケージにおいて、前記第2のベレットが前記第1のベレットよりはみ出した部分と前記基板との間に形成された空間に絶縁材が充填されていることを特徴とする半導体パッケージを提供する。

【0009】この構成によれば、前記第2のベレットが前記第1のベレットよりはみ出した部分と前記基板との間に形成された空間内に充填された絶縁材は、前記第1のベレットよりはみ出した部分に対して充填された絶縁材が補強部材として機能し、ボンディング時に前記第2のベレット前記はみ出し部をボンディングツールが押圧しても、前記はみ出し部に撓みが生ぜず、欠損を生じない。また、超音波パワーが分散することがないため、ボンディング強度を弱くすることもない。

【0010】上記の目的を達成するために、本発明は、第2の特徴として、電極が設けられている基板上に第1のベレットを搭載し、ボンディング部の一部が前記第1のベレットからはみ出るようにして前記第1のベレット上に第2のベレットを積層状態に搭載し、前記第1のベレットからはみ出した部分と前記基板との間に形成された空間に絶縁材を充填又は介挿し、前記第1、第2のベレットのそれぞれのボンディングパッドと前記基板上の前記電極とをボンディングワイヤにより接続し、前記第1、第2のベレット及び前記ボンディングワイヤによるボンディング部を樹脂封止することを特徴とする半導体パッケージの製造方法を提供する。この方法によれば、ベレットを搭載した後、前記第1のベレットからはみ出した部分と前記基板との間に形成された空間に充填された絶縁材が前記はみ出し部の撓みを防止する補強材として機能する。この結果、次のボンディング工程においてボンディングツールが前記はみ出し部を押圧しても、曲げによる欠損や超音波パワーの分散を生じることがない。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について図面をもとに説明する。

【第1の実施の形態】図1及び図2は本発明による半導体パッケージを示す。素子搭載基板11上には、第1の

4

LSIである下ベレット12が実装されている。この下ベレット12上には、接着剤等を介して第2のLSIである上ベレット13が積層状態に実装されている。この2つのベレットは、一般に異なる機能を持つ素子になっており、ほぼ1つ分のベレット面積によって2つのベレットを実装できるため、高密度化を実現できる。

【0012】下ベレット12には、両端部に複数のボンディングパッド14が設けられている。また、上ベレット13は、下ベレット12のボンディングパッド14が露出可能なように、下ベレット12よりも小さい幅に設定されている。そして、下ベレット12と同様に、上ベレット13にも複数のボンディングパッド15が、ボンディングパッド14と同じ側に設けられている。さらに、ボンディングパッド14、15と素子搭載基板11側とをボンディングワイヤ16、17で接続するために、素子搭載基板11上のボンディングパッド14、15のそれぞれの近傍には、複数の基板電極18が設けられている。

【0013】上ベレット13は、下ベレット12よりサイズが大きく、下ベレット12の両側（ボンディングパッド14の非搭載辺）から突出している。したがって、上ベレット13のボンディングパッド15が非搭載の両辺部の下部には、空間が生じている。この空間内には、熱硬化性のエポキシ樹脂等による樹脂19が充填されている。樹脂19を充填する段階は、素子搭載基板11に下ベレット12と上ベレット13を搭載した後である。この樹脂19は、上ベレット13の上記両辺部の固定部材として機能する。さらに、ボンディングパッド14、15と基板電極18とをボンディングワイヤ16、17で接続した後、素子搭載基板11の全体及びボンディングワイヤ16、17を覆うようにして樹脂封止部20が設けられる。

【0014】つまり、本実施例においては、素子搭載基板11上に下ベレット12、上ベレット13が積層配置され、上ベレット13が下ベレット12からはみ出した部分は、樹脂19により固定されている。その結果、上ベレット13が下ベレット12よりも大きく、上ベレット13が下ベレット12からはみ出した積層構造であっても、必要にして十分な固定をすることができる。なお、ボンディングワイヤ16は、例えば、金などからなる金属細線であり、さらに、樹脂19は、熱硬化性のエポキシ樹脂のほか、硬化性のある絶縁ペースト等の材料を用いることもできる。

【0015】次に、本発明の半導体装置の製造方法について、図3を参照して説明する。まず、基板電極18が所定の箇所に設けられた素子搭載基板11を用意し、この素子搭載基板11の片面に絶縁ペーストなどのベレット付け剤を用いて下ベレット12を所定の位置に搭載する。ついで、絶縁性の接着剤ポリイミドテープ（あるいは、ポリイミド系の接着剤等）を介して下ベレット12

5

の上面に上ベレット13を積層する。この状態では、図3の(a)に示すように、上ベレット13のボンディングパッド14の非搭載辺は、下ベレット12の両端部からはみ出し、この部分の下部には空間21が形成されている。

【0016】について、図3の(b)に示すように、空間21内にポッティング等の方法により、樹脂19を充填し、上ベレット13と素子搭載基板11の間に介在させる。その後、図3の(c)に示すように、下ベレット12と上ベレット13のそれぞれのボンディングパッド15、16と、これらに対応する素子搭載基板11上の基板電極18とを金等のボンディングワイヤ16、17により電気的に接続する。さらに、ボンディング後、下ベレット12と上ベレット13の表面、ボンディングワイヤ16、及びその周辺部を樹脂封止し、樹脂封止部20を形成する(図3の(d))。ここで、樹脂封止部20の樹脂封止は、ディスペンサなどのポッティング装置を用いたポッティングによって行ってもよいし、また、モールド装置を用いたモールド技術によって行ってもよい。

【0017】上記した本実施の形態によれば、下ベレット12に積層された上ベレット13の下ベレット12からはみ出した部分には、樹脂19が充填されているため、ボンディング時の荷重や振動によるベレット欠け、或いは、ベレット支持が不十分のために生じるボンディング強度不足のような不具合が防止される。これにより、下ベレット12と上ベレット13を積層する際のベレットサイズによる制限が緩和される。

【0018】〔第2の実施の形態〕図4は本発明の半導体装置の第2の実施の形態を示す。また、図5は図4の実施の形態の製造方法の一工程における状態を示す。本実施の形態においても、下ベレット12と上ベレット13を素子搭載基板11上に積層配置して構成される。第1の実施の形態との相違点は、下ベレット12と上ベレット13のボンディング時における上ベレットの固定方法にある。

【0019】まず、第1の実施の形態と同様に、素子搭載基板11の片面に下ベレット12と上ベレット13を順次積層する。このとき、上ベレット13の下ベレット12からはみ出している部位と素子搭載基板11の間には、空間22が生じている。ついで、素子搭載基板11の基板電極18が存在しない方向(ボンディングパッド14の非搭載辺の方向)から、スペーサ23を空間22に挿入する。スペーサ23は、空間22の高さに等しい厚さにする。これにより、上ベレット13の端に位置するボンディングパッド15は、上ベレット13の裏面にスペーサ23が介在して土台となり、押圧力が加わっても変形が生じない。

【0020】スペーサ23は、ボンディングワイヤ16によりボンディングパッド15と基板電極18との間の

6

接続を行った後、半導体パッケージから取り除く。そして、下ベレット12と上ベレット13の表面、ボンディングワイヤ16、及びその周辺部を樹脂封止し、図3の(d)に示した様に、樹脂封止部20を形成する。樹脂封止部20の樹脂封止は、ディスペンサなどのポッティング装置を用いたポッティングや、モールド装置を用いたモールド技術によって行うことができる。

【0021】第2の実施の形態による半導体装置によれば、第1の実施の形態と同様に、ボンディング作業時に、下ベレット12からはみ出した上ベレット13のボンディングパッド15の部分がスペーサ22により固定されているので、ボンディング時における荷重や振動によるベレット欠け、或いは、ベレット支持が不十分のために生じるボンディング強度不足のような不具合を防止することができる。これにより、下ベレット12、上ベレット13のベレットサイズによる制限を緩和したベレットの採用により積層構造の高密度実装が可能になる。その結果、下ベレット12及び上ベレット13に採用する製品の選択肢が増え、自由度の高いスタックCSPを実現できる。

【0022】以上、本発明の実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、前記実施例で説明した半導体装置は、下ベレット12からはみ出した上ベレット13を固定する材質は樹脂に限定するものではなく、絶縁ペーストなどのような材料を使用することもできる。

【0023】

【発明の効果】以上説明した通り、本発明の半導体パッケージ及びその製造方法によれば、下ベレットに上ベレットを、一部がはみ出した状態で積層した場合でも、はみ出し部分が絶縁材によって保持固定されているため、ボンディング時における荷重、振動によるベレット欠け、或いは、不十分なベレット支持により生じるボンディング強度不足等の不具合の発生を防止することができる。

【図面の簡単な説明】

【図1】本発明による半導体パッケージの第1の実施の形態を示す平面図である。

【図2】図1の半導体パッケージの断面図である。

【図3】本発明の第1の実施の形態の製造工程を示す説明図である。

【図4】本発明による半導体パッケージの第2の実施の形態を示す平面図である。

【図5】図4の半導体パッケージの正面図である。

【図6】スタックCSP構造の従来の半導体パッケージを示す平面図である。

【図7】図6の半導体パッケージの正面図である。

【図8】上ベレットが下ベレットより大きい場合の半導体パッケージを示す平面図である。

50

【図9】図8の半導体パッケージの正面図である。

【符号の説明】

1, 11 素子搭載基板

2, 12 下ベレット

3, 13 上ベレット

4, 5, 14, 15 ボンディングパッド

6, 7 ボンディングワイヤ

8, 18 基板電極

16, 17 ボンディングワイヤ

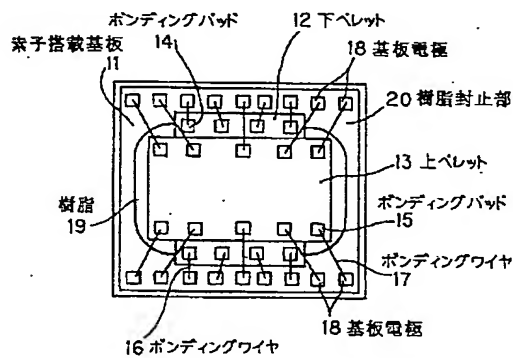
19 樹脂

20 樹脂封止部

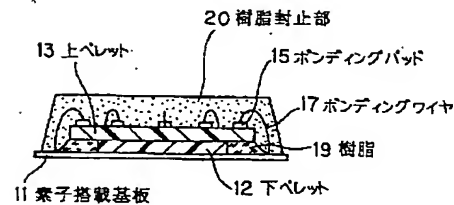
21, 22 空間

23 スペース

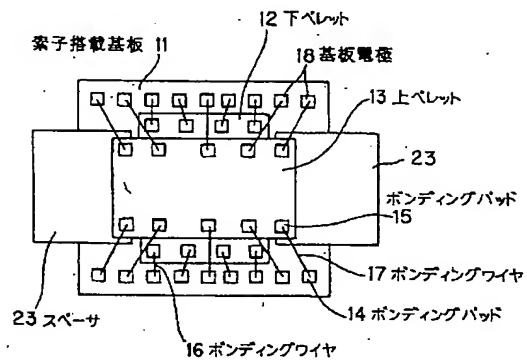
【図1】



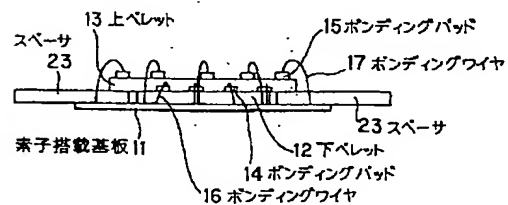
【図2】



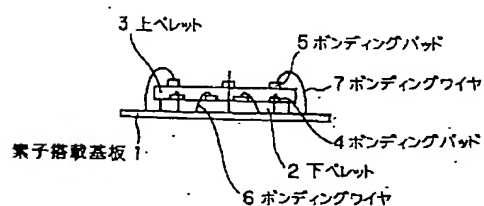
【図4】



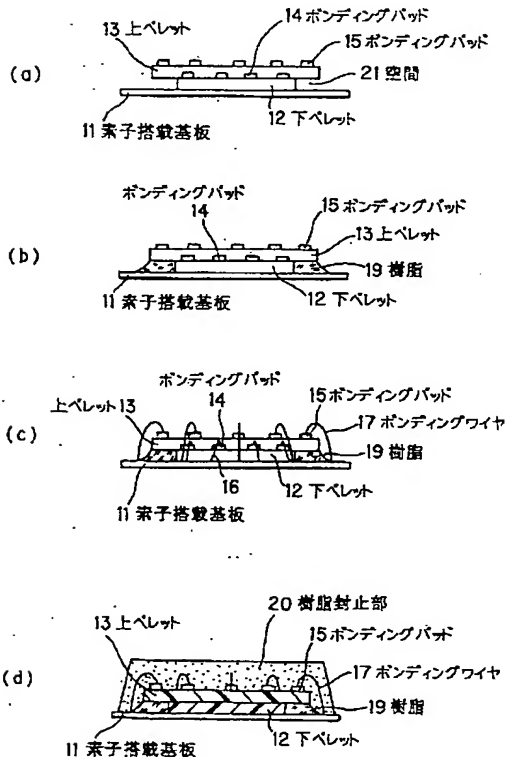
【図5】



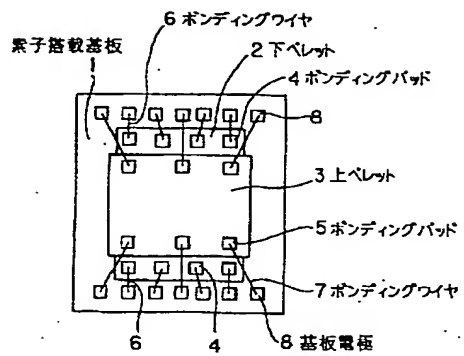
【図7】



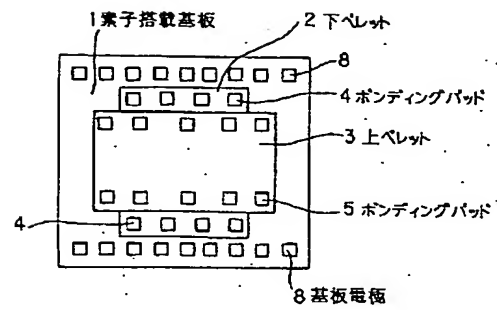
【図3】



【図6】



【図8】



【図9】

